



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010063468

(43) Publication Date. 20010709

(21) Application No.1019990060552

(22) Application Date. 19991222

(51) IPC Code:

H01L 21/3215

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

AHN, BYEONG GWON

JU, GWANG CHEOL

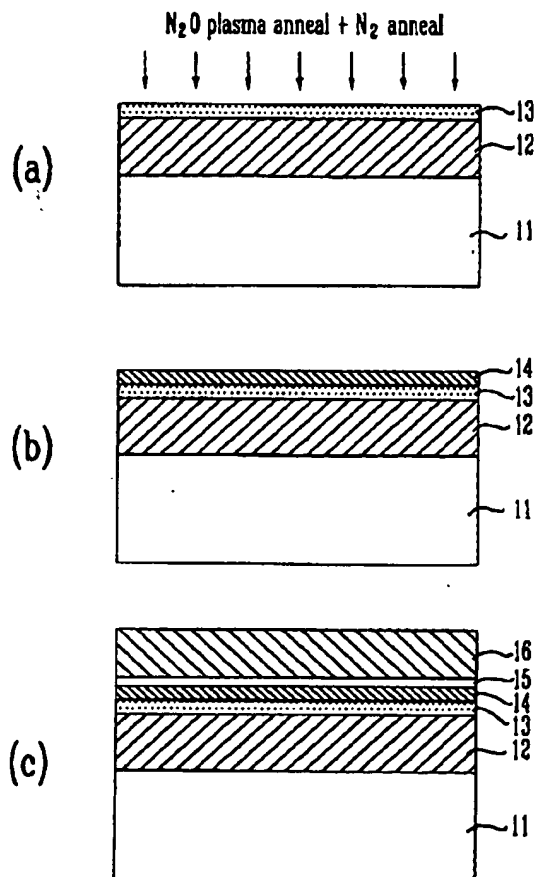
(30) Priority:

BEST AVAILABLE COPY

(54) Title of Invention

METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A method for manufacturing a capacitor of a semiconductor device is provided to simultaneously guarantee high capacitance and low leakage current of the capacitor, by forming a dielectric layer composed of an aluminum oxide layer and a tantalum oxide layer.

CONSTITUTION: A lower electrode is formed on a semiconductor substrate(11) having a predetermined structure. A dielectric layer composed of an aluminum oxide layer(13) and a tantalum oxide layer(14) is formed on the lower electrode. An upper electrode is formed on the entire structure.

COPYRIGHT 2001 KIPO



if display of image is failed, press (F5)

BEST AVAILABLE COPY

특 2001-0063468

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ H01L 21/3215	(11) 공개번호 (43) 공개일자	특 2001-0063468 2001년 07월 09일
(21) 출원번호 (22) 출원일자	10-1999-0060552 1999년 12월 22일	
(71) 출원인	주식회사 하이닉스반도체	박종섭
(72) 발명자	경기 이천시 부발읍 마미리 산136-1 안병권 서울특별시강북구미아3동307-24 주광철	
(74) 대리인	경기도이천시대월면사동리천호빌라2-201 최승민, 신영무	
심사청구 : 없음		
(54) 반도체 소자의 캐패시터 제조 방법		

요약

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 우수한 누설 전류 특성을 갖는 알루미늄 산화막과 정전 용량값을 극대화하기 위해 고유전 특성을 지닌 탄탈륨 산화막의 이중막으로 유전체막을 형성하여 캐패시터를 제조함으로써 높은 정전 용량과 낮은 누설 전류를 동시에 확보할 수 있는 반도체 소자의 캐패시터 제조 방법이 제시된다.

도포도

도 1

색인어

유전체막, 알루미늄 산화막, 탄탈륨 산화막

명세서

도면의 간단한 설명

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 11 : 반도체 기판 12 : 제 1 폴리실리콘막
13 : 알루미늄 산화막 14 : 탄탈륨 산화막
15 : 티타늄 질화막 16 : 제 2 폴리실리콘막

발명의 상세한 설명

발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히 알루미늄 산화막의 우수한 누설 전류 특성을 확보하면서 정전 용량값을 극대화하기 위해 고유전 특성을 지닌 탄탈륨 산화막($\epsilon=20\sim25$)의 이중막으로 유전체막을 형성함으로써 높은 정전 용량과 낮은 누설 전류를 동시에 확보할 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

탄탈륨 산화막(Ta_2O_5)은 기존의 DRAM 제조 공정에서 캐패시터의 유전체막으로 사용되는 ONO막(Oxide-Nitride-Oxide)보다 유전율이 5배 정도 더 크므로 18 이상의 고정전도가 요구되는 DRAM 제조 공정에서 캐패시터의 유전체막 물질로 각광받고 있다. 특히 탄탈륨 산화막은 CVD 공정을 사용하여 높은 스텝커버리지율을 얻을 수 있고, 후속 열처리 공정에 의해 유전 특성이 좋고 누설 전류가 작은 막으로 구현될 수 있다.

또한, 알루미늄 산화막(Al_2O_3)은 유전율은 낮지만 누설 전류 특성은 우수한 것으로 알려져 있다.

그런데, 소자가 점점 고집적화됨에 따라 안정된 소자 동작을 위해 필요한 셀당 캐패시턴스는 변화가 없는 반면 캐패시터 셀 사이즈는 점점 줄어들어 탄탈륨 산화막이나 알루미늄 산화막의 단일막으로는 캐패시터의 충분한 정전 용량과 낮은 누설 전류를 동시에 확보할 수 없다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 알루미늄 산화막의 우수한 누설 전류 특성을 확보하면서 정전 용량값을 극대화하기 위해 고유전 특성을 지닌 탄탈륨 산화막($\epsilon=20\sim25$)의 이중막으로 유전체막을 형성함으로써 높은 정전 용량과 낮은 누설 전류를 동시에 확보할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명은 소정의 구조가 형성된 반도체 기판 상부에 하부 전극을 형성하는 단계와, 상기 하부 전극 상부에 유전체막으로 알루미늄 산화막 및 탄탈륨 산화막을 형성하는 단계와, 전체 구조 상부에 상부 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

발명의 구성 및 작용

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 1(a)를 참조하면, 소정의 공정을 통해 게이트, 소오스, 드레인 및 비드라인등이 형성된 반도체 기판(11) 상부에 하부 전극으로 제 1 폴리실리콘막(12)을 형성한다. 제 1 폴리실리콘막(12)의 표면을 HF 또는 BOE로 식각하여 자연 산화막을 제거한다. 제 1 폴리실리콘막(12) 상부에 알루미늄 산화막(13)을 형성한다. 알루미늄 산화막(13)은 0.1~1Torr의 압력과 200~450℃의 온도를 유지하는 반응로에 $(CH_3)_3Al$ 소오스 가스와 H_2O 가스를 유입시켜 형성한다. 후속 열공정으로 알루미늄 산화막(13)내의 탄소 및 불순물을 제거하기 위해 300~400℃에서 N_2O 플라스마 어닐을 실시한 후 알루미늄 산화막(13)을 결정화시키기 위해 600~650℃의 질소 분위기에서 10~30분간 어닐 공정을 실시한다.

도 1(b)는 알루미늄 산화막(13) 상부에 탄탈륨 산화막(14)을 형성한 상태의 단면도이다. 탄탈륨 산화막(14)은 PECVD 방법으로 형성하는데, 챔버의 압력을 0.1~1Torr로 유지하고, 서브 히터의 온도를 300~500℃로 유지한 상태에서 N_2O 또는 O_2 가스를 10~1000sccm의 양으로 유입시키고 고주파 전력을 10~500W로 인가하여 형성한다. 한편, 탄탈륨 산화막(14)의 탄소를 제거하기 위해 N_2O 플라스마 처리 및 급속 열처리 공정을 실시한다. N_2O 플라스마 처리는 300~400℃의 온도를 유지한 상태에서 100~500W의 RF 파워를 인가하여 1~10분동안 실시한다. 또한, 급속 열처리 공정은 700~800℃로 온도를 유지한 상태에서 N_2O 또는 O_2 가스를 1~10slm 정도 유입시켜 30~120초 동안 실시한다.

도 1(c)는 탄탈륨 산화막(14) 상부에 상부 전극으로 티타늄 질화막(15) 및 제 2 폴리실리콘막(16)을 형성한 상태의 단면도이다. 이때, 티타늄 질화막(15)만으로 상부 전극을 형성할 수 있으며, 제 2 폴리실리콘막(16)은 1000Å의 두께로 형성한다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 알루미늄 산화막과 탄탈륨 산화막의 이중막으로 유전체막을 형성함으로써 소자의 고집적화에 따른 캐패시터의 높은 정전 용량과 낮은 누설 전류를 동시에 확보할 수 있다.

(57) 청구의 범위

형구항 1. 반도체 소자의 캐패시터 제조 방법에 있어서,

소정의 구조가 형성된 반도체 기판 상부에 하부 전극을 형성하는 단계와,

상기 하부 전극 상부에 유전체막으로 알루미늄 산화막 및 탄탈륨 산화막을 형성하는 단계와,

전체 구조 상부에 상부 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 2. 제 1 항에 있어서, 상기 하부 전극은 폴리실리콘막 또는 금속막으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 3. 제 1 항에 있어서, 상기 알루미늄 산화막은 0.1 내지 1Torr의 압력과 200 내지 450℃의 온도를 유지하는 반응로에 $(CH_3)_3Si$ 소오스 가스와 H_2O 가스를 유입시켜 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 4. 제 1 항에 있어서, 상기 알루미늄 산화막을 형성한 후 후속 열공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 5. 제 4 항에 있어서, 상기 후속 열처리 공정은 300 내지 400℃에서 N_2O 플라즈마 어닐을 실시한 후 600 내지 650℃의 질소 분위기에서 10 내지 30분간 열처리를 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 6. 제 1 항에 있어서, 상기 탄탈을 산화막은 챔버의 압력을 0.1 내지 1Torr로 유지하고, 서브히터의 온도를 300 내지 500℃로 유지한 상태에서 N_2O 또는 O_2 가스를 10 내지 1000sccm의 양으로 유입시키고 고주파 전력을 10 내지 500W로 인가하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 7. 제 1 항에 있어서, 상기 탄탈을 산화막을 형성한 후 N_2O 플라즈마 처리 및 금속 열처리 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 8. 제 7 항에 있어서, 상기 N_2O 플라즈마 처리는 300 내지 400℃의 온도를 유지한 상태에서 100 내지 500W의 RF 파워를 인가하여 1 내지 10분동안 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 9. 제 7 항에 있어서, 상기 금속 열처리 공정은 700 내지 800℃로 온도를 유지한 상태에서 N_2O 또는 O_2 가스를 1 내지 10slm 정도 유입시켜 30 내지 120초 동안 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 10. 제 1 항에 있어서, 상기 상부 전극은 티타늄 질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 11. 제 1 항에 있어서, 상기 상부 전극은 티타늄 질화막 및 폴리실리콘막의 이중막으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

도면

도면1

